

Micros 16 bits : architecture interne et externe du Z 8000

étude

Tout comme nous l'avons fait précédemment pour le 8086 d'Intel et le 68000 de Motorola (1), nous allons entreprendre aujourd'hui l'étude du Z 8000, microprocesseur 16 bits de Zilog, échantillonné, dans sa version dite "non segmentée", depuis quelques mois et maintenant disponible sur stock. La version dite "segmentée" est elle même échantillonnée depuis peu. Dans ce premier article, nous nous intéresserons essentiellement à l'architecture interne et externe de ce dispositif. Nous étudierons ultérieurement son mode de fonctionnement ainsi que son jeu d'instructions.

que nous allons successivement décrire.

Les registres généraux

Les seize registres généraux de 16 bits, sont référencés R₀ à R₁₅. La désignation de l'un des registres se fait à partir de 4 bits (champ d'adresse) contenus dans une instruction. En général, les instructions travaillent au niveau de l'octet, du mot ou du double mot. Pour les opé-

Le Z 8000, conçu par Zilog, est un microprocesseur 16 bits, réalisé en technologie H-Mos et présenté en deux versions. La première (Z 8001), en boîtier quarante-huit broches, est dite «segmentée» car le champ d'adressage, de 8 millions d'octets, est constitué par 128 segments de 64 K octets. La seconde version (Z 8002), en boîtier quarante broches, est dite «non segmentée»; le champ d'adressage est de 64 K octets. L'accès à la mémoire peut se faire au niveau de l'octet, du mot et du double mot.

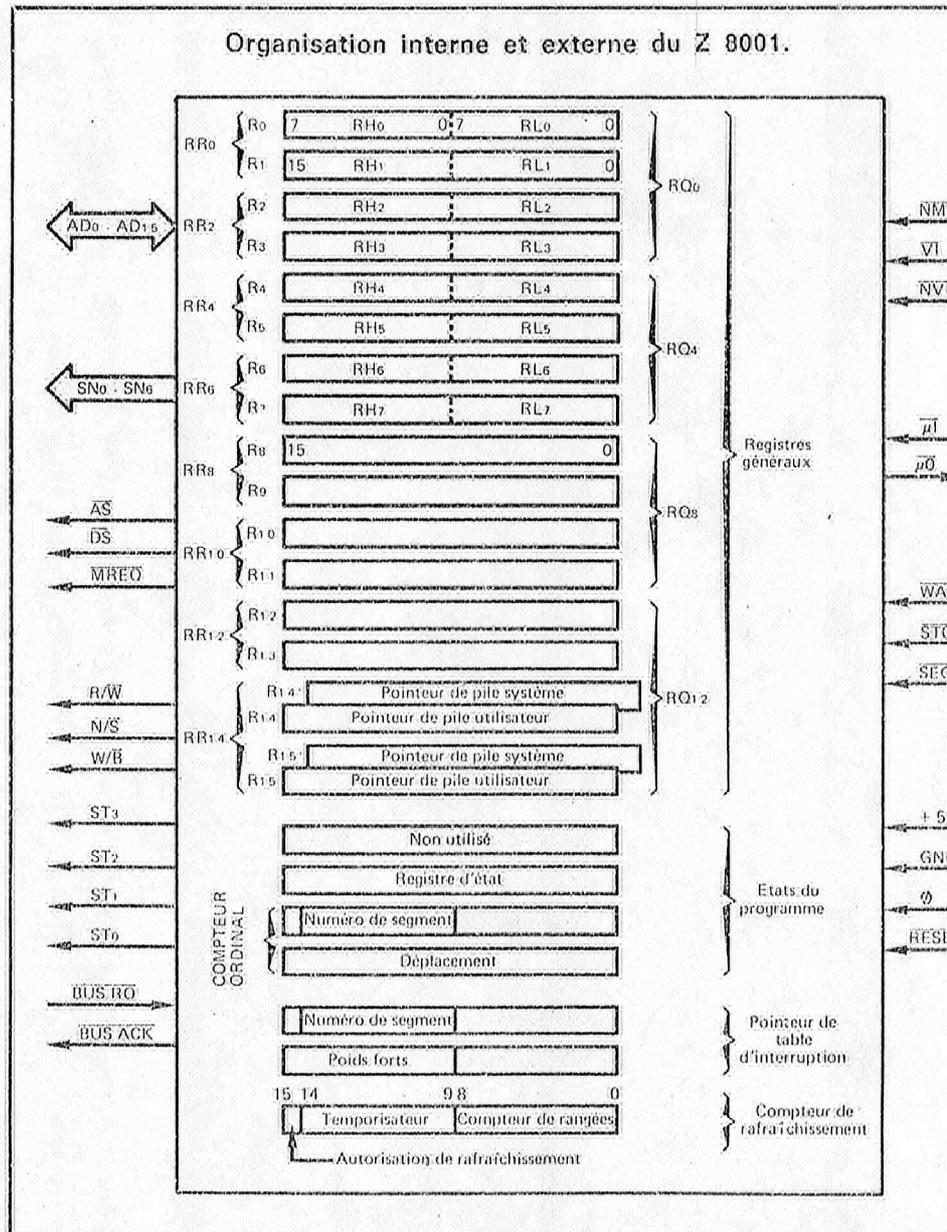
Un registre spécial peut gérer l'adresse de rafraîchissement en cas d'emploi de mémoires dynamiques. Le Z 8000 dispose de 110 instructions, dont certaines très puissantes pour le traitement des chaînes de caractères. Finalement, ce microprocesseur semble se situer entre le 8086 d'Intel (disponible depuis un an) et le 68000 de Motorola (prévu pour ce troisième trimestre).

Organisation interne

Le Z 8000 comprend (fig. 1) seize registres généraux de 16 bits, un compteur ordinal, un registre d'état, un pointeur de table d'interruption et un compteur de rafraîchissement

(1) Nous avons commencé, dans notre numéro 83, par dresser un panorama des microprocesseurs existants sur le marché. Puis, dans les numéros 84, 85 et 86, nous avons décrit le 8086 et analysé son jeu d'instructions. Le fonctionnement du 68000 a été étudié dans les numéros 90 et 91 et son jeu d'instructions dans le numéro 95.

Organisation interne et externe du Z 8001.



rations au niveau de l'octet, les huit premiers registres R_0 à R_7 sont considérés comme seize registres généraux de 8 bits appelés RL_0 , RH_0 , RL_1 , RH_1 ,... RL_7 , RH_7 . Quatre bits (champ d'adresse) dans une instruction indiquent le registre 8 bits concerné.

Pour les opérations sur des doubles mots, les registres généraux sont groupés par paire. C'est ainsi que R_0 et R_1 sont référencés RR_0 ; R_2 et R_3 sont appelés RR_2 et R_{14} et R_{15} sont dénommés RR_{14} . Le Z 8000 peut donc être consi-

déré comme une machine 32 bits disposant de huit registres généraux. La sélection de l'un de ces registres s'effectue par trois des quatre bits spécialisés, à l'intérieur de l'instruction (le bit non concerné, le moins significatif, est à zéro).

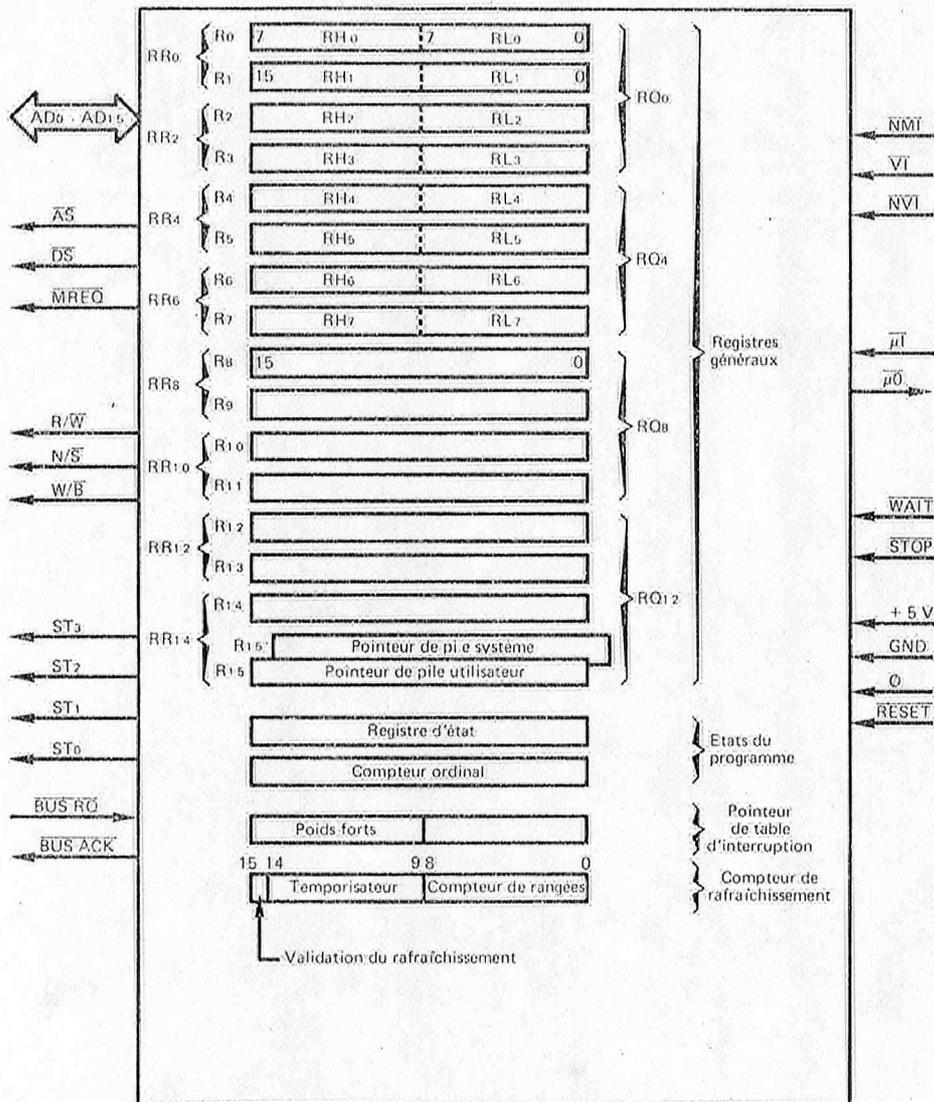
Dans certains cas, le Z 8000 peut manipuler des quantités sur 64 bits et se comporter comme une machine de quatre registres généraux, appelés RQ_0 , RQ_4 , RQ_8 et RQ_{12} . Ces registres sont obtenus par groupement des registres R_0 , R_1 , R_2 , R_3 , R_4 , R_5 , R_6 , R_7 , R_8 , R_9 , R_{10} , R_{11} , R_{12} , R_{13} , R_{14} , R_{15} . L'adresse d'un de ces registres est donnée par les deux bits les plus significatifs du champ d'adresse (les deux bits les moins significatifs sont à zéro).

Les registres généraux peuvent se comporter comme registres de données ou comme registres d'adresses. Lorsqu'un double mot (donnée) est stocké dans une paire de registres, le registre référencé par un nombre pair contient les 16 bits les plus significatifs, tandis que celui qui est indentifié par un nombre impair dispose des 16 bits les moins significatifs. Lorsqu'un quadruple mot (64 bits) est contenu dans un groupe de quatre registres, le premier registre (avec le numéro pair le moins élevé) contient les 16 bits les plus significatifs et le dernier registre (numéro impair le plus élevé) possède les 16 bits les moins significatifs.

Les seize registres généraux peuvent être aussi des pointeurs permettant d'adresser la mémoire en indirect (par registre). Suivant qu'il s'agit du Z 8002 ou du Z 8001, un ou deux registres sont nécessaires. Dans le cas du Z 8001, l'un des registres (pair) spécifie le numéro de segment, l'autre (impair) indique le déplacement. Tous les registres généraux, excepté le premier, peuvent servir de registres d'index.

Fig. 1 - Organisation du Z 8001 et du Z 8002.

Organisation interne et externe du Z 8002.



Noms des broches	Explications
AD ₀ - AD ₁₅	Bus de données et d'adresses
SN ₀ - SN ₆	Numéro de segment
AS	Validation d'adresses
DS	Validation de données
MREQ	Demande d'accès à la mémoire dynamique pour rafraîchissement
R/W	Sélection lecture/écriture
N/S	Fonctionnement utilisateur/superviseur
W/B	Sélection mot/octet
ST ₃ - ST ₀	Signaux d'état et d'extension mémoire
BUS RO, BUS ACK	Demande et prise en compte d'un accès direct à la mémoire
NMI, VI, NVI	Broches d'interruptions non masquable, vectorisée et non vectorisée
μI, μO	Fonctionnement multimicroprocesseur
WAIT	Synchronisation avec périphérique ou mémoire lent
STOP	Pas à pas
SEGT	Erreur de segment
+ 5 V	Alimentation 5 V
GND	Masse
0	Horloge
RESET	Remise à l'état initial

Les pointeurs de piles

Tous les registres généraux du Z 8000, excepté RR_0 dans le Z 8001 et R_0 dans le Z 8002, peuvent jouer le rôle de pointeur de pile gérée par le logiciel. La gestion d'une pile s'effectue par les instructions PUSH et POP. Rappelons que l'avantage de disposer d'une structure multi-pile est de permettre la programmation structurée et la réentrance (voir l'étude sur le 68000 dans « minis et micros » n° 90).

Le registre RR_{14} dans le Z 8001 et le registre R_{15} dans le Z 8002 sont des pointeurs de piles particuliers : ils sont systématiquement impliqués dans les opérations d'appel de sous-programmes (instruction CALL) et de retour au programme principal (instruction RETURN).

► Comme le 68000, le Z 8000 peut opérer en deux modes : mode utilisateur (Normal Mode) et en mode superviseur (System Mode). En mode superviseur, le Z 8000 dispose de pointeurs de piles particuliers : l'ensemble $R_{1,2}$ et $R_{1,3}$ dans le Z 8001 et $R_{1,2}$ dans le Z 8002. Ces registres jouent le rôle de pointeurs de piles gérées par le matériel et sont impliqués dans toutes les opérations d'interruption.

Le compteur ordinal

Suivant qu'il s'agit du Z 8002 ou du Z 8001, le compteur ordinal comprend un ou deux registres de 16 bits. Dans le cas du Z 8001, le premier registre contient, sur 16 bits, le numéro du segment et le second registre indique le déplacement à l'intérieur de ce segment. Le compteur ordinal est incrémenté d'un multiple de deux, lors de la recherche des instructions dans la mémoire de programme. Cette incrémentation ne permet pas le changement de pages, c'est-à-dire que si le déplacement dépasse la valeur décimale 65 535, la retenue n'est pas propagée dans le registre de segment. Lors d'une remise à l'état initial (RESET), le compteur ordinal du Z 8001 se charge avec les contenus des positions de mémoire 4, 5, 6 et 7. Les positions 4 et 5 contiennent le segment, les positions 6 et 7 le déplacement. Dans le cas du Z 8002, l'adresse de début de programme se trouve dans les adresses 2 et 3. Toutes ces adresses sont localisées dans le segment 0.

Le registre d'état

Ce registre, appelé « Flag and Control Word » (FCW), a une longueur de 16 bits (fig. 2). Son organisation rappelle celle du registre d'état du 8086 : l'octet le plus significatif contient des bits de commande, l'octet de poids faible indique l'état du processeur.

Commençons par l'octet le plus significatif. Il comprend les bits suivants : SEG (segmentation autorisée), S/N (fonctionnement en modes « utilisateur » ou « superviseur »), SE (autorisation d'arrêt du processeur), VIE (autorisation d'interruptions vectorisées) et NVIE (autorisation d'interruptions non vectorisées). L'octet le moins significatif contient les bits suivants : retenue (C), zéro (Z), signe (S), parité/dépassement (P/V), ajustement décimal (DA) et retenue intermédiaire (H).

Explicitons ces différents bits. L'autorisation de segmentation (SEG) intervient dans le mode de fonctionnement du Z 8001. Lorsque ce bit est à l'état 1, le Z 8001 fonctionne en mode segmenté. Lorsque

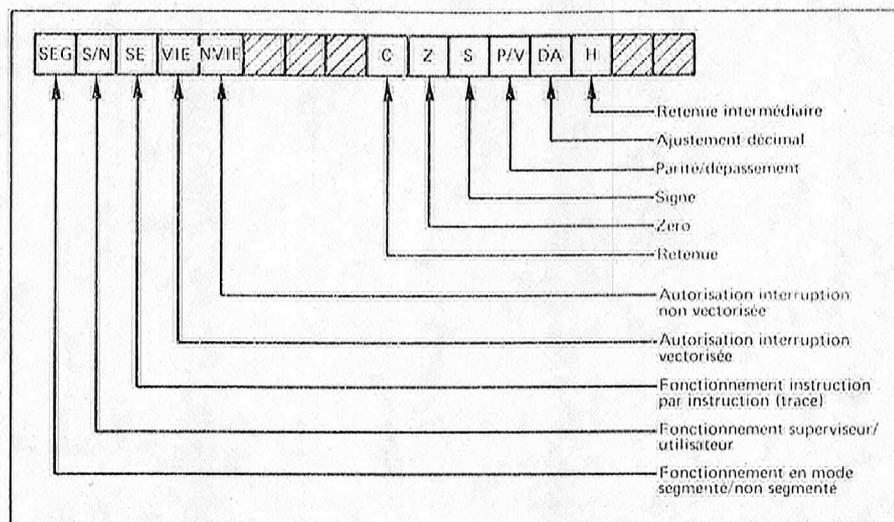


Fig. 2 - Registre d'état.

ce bit est à zéro, le Z 8001 opère en mode non segmenté.

Le bit S/N permet de choisir le mode « superviseur » ($S/N = 1$) ou le mode « utilisateur » ($S/N = 0$). En mode « superviseur », toutes les instructions sont valables et exécutées. En mode « utilisateur », seules les instructions qui ne modifient pas l'intégrité du système sont exécutées. Les instructions qui ne sont pas exécutables en mode « utilisateur » comprennent celles qui contrôlent ou modifient les bits de commande du registre d'état, celles qui participent aux communications entre processeurs dans un environnement « multimicroprocesseurs » et celles qui exécutent des opérations d'entrée/sortie. Si une instruction exécutable uniquement en mode « superviseur » est rencontrée lors du déroulement d'un programme en mode « utilisateur », cette instruction n'est pas exécutée et une interruption du microprocesseur (Trap) est provoquée.

Les interruptions vectorisées et non vectorisées sont masquables. Le démasquage de ces instructions se fait en positionnant les bits VIE et NVIE à l'état 1. Les bits d'état du Z 8000 sont ceux qu'on trouvait déjà sur le Z 80 et nous ne les décrivons pas en détail.

Notons enfin que Zilog appelle « Program Status » l'ensemble comprenant le compteur ordinal (PC) et le registre d'état (FCW).

Le pointeur vers la table d'interruption

Lorsqu'une interruption se produit, le microprocesseur sauvegarde automatiquement dans la pile du système (pointée par $RR_{1,2}$ pour le Z 8001 ou par $R_{1,2}$ pour le Z 8002) les contenus du compteur ordinal,

du registre d'état et une information concernant la cause de l'interruption.

Après cette sauvegarde, le microprocesseur charge le compteur ordinal avec l'adresse de début de programme d'interruption et positionne les différents bits du registre d'état. Il va chercher ces différentes informations dans une table pointée par le registre NPSAP (New Programs Status Area Pointer).

Dans le cas du Z 8001, le pointeur NPSAP comprend deux registres, l'un contenant le numéro de segment, le second possédant l'adresse de début de la table à l'intérieur du segment.

Dans le cas du Z 8002, le pointeur NPSAP se réduit à un seul registre indiquant l'adresse de début de la table. L'accès au pointeur NPSAP se fait par l'instruction LDCTL.

Le compteur de rafraîchissement

Ce compteur permet le rafraîchissement des mémoires dynamiques. Il se compose d'un compteur de rangée sur 9 bits et d'un temporisateur sur 6 bits. Le temporisateur est piloté à partir d'une horloge dont la fréquence est égale au quart de celle du système (4MHz). Ce temporisateur, qui peut être programmé entre 1 μ s et 64 μ s, génère les temps entre deux rafraîchissements.

Lorsqu'un temps s'est écoulé, le microprocesseur déclenche un cycle de rafraîchissement et incrémente de deux unités le compteur de rangée, qui permet, si besoin est, de rafraîchir jusqu'à 128 rangées. Le compteur de rafraîchissement peut être validé ou inhibé en positionnant le bit RE à 1 ou 0. L'accès au compteur de rafraîchissement se fait, lui aussi, par l'instruction LDCTL.

En essayant de positionner les deux microprocesseurs Z 8001 et Z 8002 par rapport au TMS 9900, 8086 et au 68000, on peut faire les remarques suivantes :

— Le Z 8002 et le TMS 9900 ont une organisation interne régulière (orthogonale). Les registres généraux peuvent être utilisés comme registres de données, comme registres d'adresses ou comme registre d'index (sauf le premier). Ces deux microprocesseurs diffèrent sur les points suivants : systèmes d'interruption différents, fonctionnement en mode « superviseur » et « utilisateur » avec le Z 8002...

— le Z 8000 et 8086 disposent d'une configuration haute et d'une configuration basse ; la sélection du mode de fonctionnement se fait au niveau d'une broche avec le 8086 et au niveau du boîtier avec le Z 8000. En configuration haute, l'adressage d'une position de mémoire n'est pas direct : il implique la définition d'un segment et d'une adresse à l'intérieur de ce segment.

— le Z 8000 et le 68000 peuvent opérer en mode « utilisateur » et en mode « superviseur ». L'existence de tels modes facilite l'implantation de systèmes d'exploitation.

Le Z 8000 se caractérise par une grande souplesse d'utilisation : organisation interne régulière (orthogonale) qui facilite le travail du programmeur ; configuration aisée en machines 8 bits, 16 bits, 32 bits ou 64 bits, par division ou association des registres 16 bits. Cette possibilité de division ou d'association de registres est une caractéristique originale du Z 8000.

Organisation de la mémoire

Comme nous l'avons indiqué précédemment, le Z 8000 existe en deux versions : non segmentée (Z 8002) qui peut adresser directement 64 K octets, ou segmentée (Z 8001), qui peut accéder à 8 millions d'octets. Le Z 8001 peut être transformé en version non segmentée par programmation du bit spécialisé SEG du registre d'état. Une telle possibilité permet de passer du Z 8002 au Z 8001 tout en conservant le logiciel développé sur le Z 8002. Compte tenu des modes de fonctionnement — superviseur et utilisateur — et des références de mémoire-programme, donnée et pile, la capacité d'adressage du Z 8002 est de 384 K octets et celle du Z 8001 est de 48 millions d'octets. Les références de mémoire sont indiquées par les lignes d'états.

Comme le 8086, les bus d'adresses et de données sont multiplexés. L'accès à une donnée en mémoire se fait au niveau de l'octet, du mot, du double mot. L'accès au niveau du bit s'effectue en deux temps : adressage de l'octet ou du mot contenant le bit, puis indication du numéro du bit concerné.

L'adresse délivrée par le Z 8001 comprend un numéro de segment et un déplacement. Pour permettre la relocation dynamique des segments, la définition de la longueur de chaque segment et la protection de la mémoire, Zilog va mettre à la disposition de l'utilisateur un circuit de gestion de mémoire appelé MMU, Memory Management Unit (2).

Ce circuit se présente dans un boîtier de 48 broches. Il permet, à

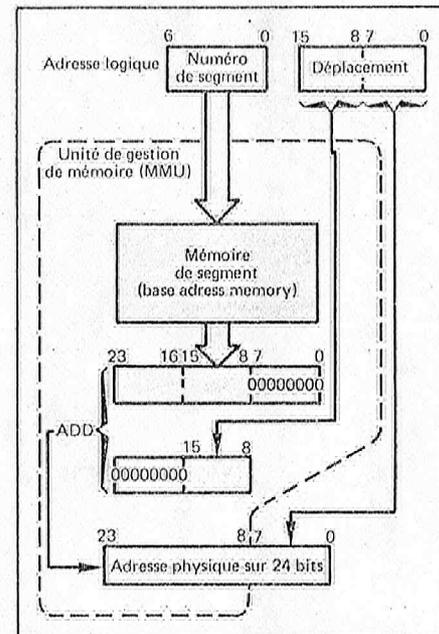


Fig. 3 - Unité de gestion de mémoire (MMU).

partir de l'adresse délivrée par le Z 80 et appelée « adresse logique », d'élaborer une « adresse physique » (fig. 3). Il reçoit les 8 bits de poids fort de l'adresse AD₈ à AD₁, et les 7 bits du numéro de segment et fournit quinze poids forts d'adresse qui, combinés aux huit poids faibles d'adresse AD₈ à AD₁, donne l'adresse physique. L'unité de gestion de mémoire garde en mémoire l'adresse de début, la longueur et le rôle de chaque segment (programme, donnée ou pile).

(2) Ce circuit, pratiquement indispensable pour bénéficier de toute la puissance du Z 8000, est prévu, en échantillonnage, pour le quatrième trimestre de cette année, de même d'ailleurs que la plupart des autres circuits de la famille.

Le MMU gère jusqu'à 64 segments dont la longueur peut varier de 256 octets à 64 K octets par incrément de 256 octets. Pour accéder à 128 segments, il est nécessaire d'avoir deux MMU.

Le MMU se charge aussi de la protection de la mémoire. Il est capable de différencier un segment réservé au « superviseur » d'un segment destiné à « l'utilisateur », de reconnaître les différents types de segment (programme, donnée, pile) et de faire la distinction entre un segment avec mémoire Ram et un segment avec mémoire Rom.

En comparant les caractéristiques d'un segment avec celles envoyées sur les lignes d'état, le MMU sait détecter s'il y a erreur et, dans l'affirmative, provoquer une interruption (Trap).

Le MMU est, par conséquent, un circuit important qui se comporte, vis-à-vis du CPU, comme un coupleur programmable. Il permet de définir l'implantation des segments en mémoire, leur rôle et leur longueur. Il donne la possibilité d'avoir des programmes translatables.

Les modes d'adressage

Le Z 8000 dispose de six modes principaux d'adressage pour accéder à une position de mémoire. Ces modes sont (fig. 4) :

A/Adressage d'un registre (R) : Le registre R_n concerné contient l'opérande.

B/Adressage direct ou étendu (DA) : La quantité, à la suite de l'instruction proprement dite, contient l'adresse de l'opérande. Dans le Z 8002, cette adresse tient sur un mot de 16 bits. Dans le cas du Z 8001, l'adresse tient sur un mot (adressage court) ou sur deux mots (adressage long). Dans le mode d'adressage court, l'octet de poids fort du déplacement indique le segment concerné et l'octet de poids faible permet d'adresser les 256 premiers octets du segment.

C/Adressage relatif (RA) : Ce mode permet d'avoir des programmes translatables. Deux types d'adressage relatif existent avec le Z 8000 :

— avec déplacement, l'adresse de l'opérande est la somme du contenu du compteur ordinal et du déplacement signé (16 bits), spécifié dans l'instruction. Dans le cas du Z 8001, le déplacement (offset) à l'intérieur du segment indiqué dans le compteur ordinal et le déplacement (déplacement) spécifié par l'instruction sont ajoutés pour donner l'adresse effective. Il n'est pas tenu compte de la retenue et le déplacement se ▶

► fait toujours à l'intérieur d'un segment.

— sur réalisation d'une condition, suivant qu'une condition est réalisée ou ne l'est pas, le Z 8000 effectue ou n'effectue pas un saut relatif de ± 2048 mots (± 127 mots dans le cas de l'instruction DBJNZ) par rapport à l'adresse contenue dans le compteur ordinal. L'adresse de référence est l'adresse courante augmentée de deux unités.

Remarquons qu'à longueur égale d'instruction (16 bits), le Z 8000 permet, par rapport au 8086 et au 68000, d'effectuer des sauts relatifs conditionnels de plus grande amplitude :

± 2048 mots avec le Z 8000, ± 64 mots avec le 8086 et le 68000. Ce dernier peut effectuer aussi des sauts de ± 16384 mots autour de l'adresse stockée dans le compteur ordinal mais, dans ce cas, l'instruction de saut tient sur deux mots de 16 bits. Notons aussi que le Z 8000, comme le 8086, ne dispose pas de mode d'adressage relatif indexé disponible sur le 68000.

D/Adressage indirect par registre (IR) : Le registre spécifié contient l'adresse de l'opérande. Dans le cas du Z 8002, tous les registres, sauf R_0 , peuvent servir de registres d'adresses. Dans le cas du Z 8001,

tous les registres, sauf RR_0 , peuvent être utilisés comme registres d'adresses. Ce mode d'adressage s'effectue de six manières :

— sans modification du contenu du registre ;

— avec postincrémentation, le contenu du registre spécifié par l'instruction est incrémenté d'une quantité N après accès à la donnée. N est égal à 1, 2 ou 4 suivant que l'accès se fait au niveau de l'octet, du mot de 16 bits ou de 32 bits ;

— avec postdécrémentation, le contenu du registre spécifié par l'instruction est décrétementé d'une quantité N après accès à la donnée. N est égal à 1 ou 2 (pas d'accès au niveau du mot de 32 bits) ;

— avec prédécrémentation, le contenu du registre concerné est décrétementé d'une quantité N avant accès à la donnée. N est égal à 1, 2 ou 4 ;

— avec déplacement (BA), l'adresse de l'opérande est la somme de l'adresse contenue dans le registre concerné et du déplacement sur 16 bits indiqué dans le mot qui suit l'adresse proprement dite. Il n'est pas tenu compte de la retenue. Ce mode d'adressage a lieu à l'intérieur d'un segment. Le déplacement n'est pas signé, comme dans le cas du 68000 ;

— indexé (BX), l'adresse de l'opérande est la somme du contenu du registre d'adresses concerné et du contenu du registre d'index. Les contenus de ces deux registres ne sont pas signés et il n'est pas tenu compte de la retenue (adressage au niveau du segment). Notons que le Z 8000 n'a pas, comme le 8086 et le 68000, d'adressage indirect indexé avec déplacement.

E/Adressage indexé (X) : L'adresse de l'opérande est la somme de l'adresse spécifiée dans l'instruction et du déplacement (16 bits) indiqué dans le registre d'index. Cette somme fait intervenir des nombres non signés et il n'est pas tenu compte de la retenue. Tous les registres, sauf R_0 , peuvent servir d'index. Avec le Z 8001, il existe deux modes d'adressage indexé : un mode court et un mode long. Le mode court fait intervenir un registre d'adresse de 16 bits contenant, sur les 7 bits de poids fort, le numéro de segment et, sur les 8 bits de poids faible, le déplacement. Le mode long fait intervenir un double registre contenant, dans le registre de numéro pair, le numéro de segment et, dans le registre impair, le déplacement sur 16 bits. L'adressage indexé (X) ressemble à l'adressage indirect avec déplacement.

F/Adressage immédiat (IM) : Dans ce mode d'adressage, l'opérande est la donnée qui suit l'instruction pro-

Fig. 4 - Les modes d'adressage du Z 8000.

Modes d'adressage	Opérations
Adressage d'un registre (R)	$EA = R_n$
Adressage étendu (DA)	
— Adressage étendu court	$EA = (\text{prochain mot pour instruction})$
— Adressage étendu long	$EA = (\text{deux prochains mots})$
Adressage relatif (RA)	
— Adressage relatif avec déplacement	$EA = (PC) \pm d_{16}$
— Adressage relatif sur réalisation d'une condition	$EA = (PC) \pm d_{12}$
Adressage indirect par registre (IR)	
— Adressage indirect	$EA = (R_n)$
— Adressage indirect avec postincrémentation	$EA = (RR_n)$ $EA = (R_n) ; R_n + N \rightarrow R_n$
— Adressage indirect avec postincrémentation	$EA = (RR_n) ; RR_n + N \rightarrow RR_n$
— Adressage indirect avec prédécrémentation	$EA = (R_n) ; R_n - N \rightarrow R_n$
— Adressage indirect avec prédécrémentation	$EA = (RR_n) ; RR_n - N \rightarrow RR_n$
— Adressage indirect avec déplacement (BA)	$R_n - N \rightarrow R_n ; EA = (R_n)$ $RR_n - N \rightarrow RR_n ; EA = (RR_n)$
— Adressage indirect indexé (BX)	$EA = (R_n) + d_{16}$ $EA = (RR_n) + d_{16}$ $EA = (R_n) + (Xp)$ $EA = (RR_n) + (Xp)$
Adressage indexé	
— Adressage indexé court	$EA = \text{adresse}_{16} + (Xp)$
— Adressage indexé long	$EA = \text{adresse}_{32} + (Xp)$
Adressage immédiat	
— Adressage immédiat court	Donnée contenue dans l'instruction (digit ou octet)
— Adressage immédiat standard	Donnée contenue dans le mot qui suit l'instruction proprement dite
— Adressage immédiat long	Donnée contenue dans les deux mots qui suivent l'instruction proprement dite
Définitions	
EA : adresse effective	
R_n : registre 16 bits d'adresse n	
RR_n : registre 32 bits d'adresse n	
Xp : registre 16 bits d'adresse p, utilisé comme registre d'index	
d_{12} : déplacement sur 12 bits	
d_{16} : déplacement sur 16 bits	
N : 1 pour un octet, 2 pour un mot de 16 bits, 4 pour un mot de 32 bits (N = 1 ou 2 pour adressage indirect avec postdécrémentation)	
() : contenu de	

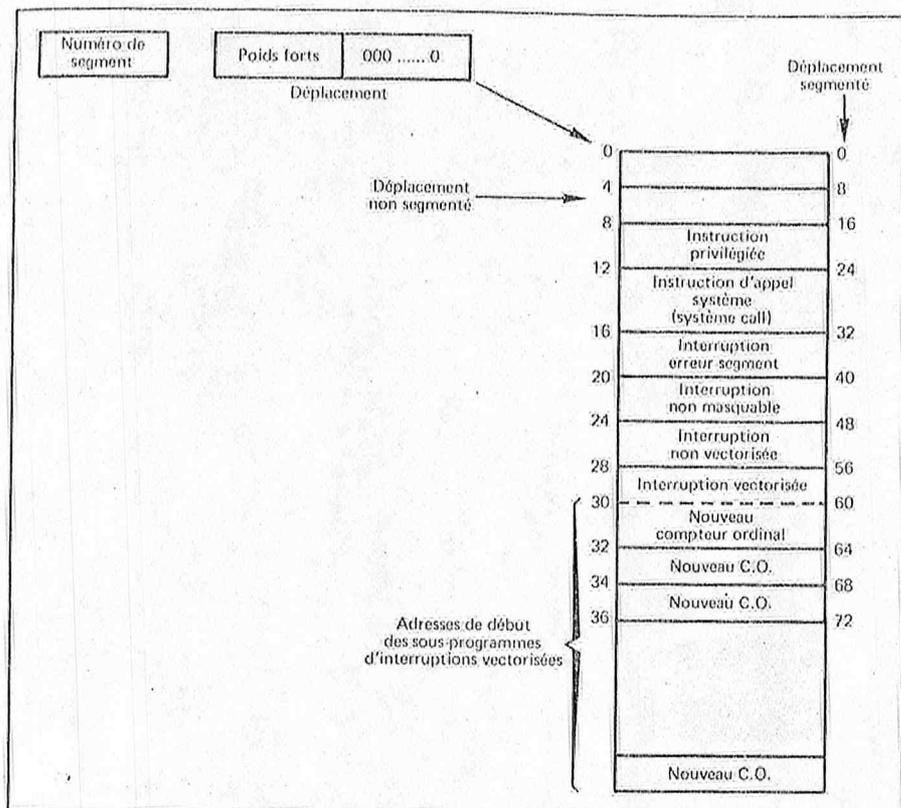


Fig. 5 - Mécanisme d'accès à la table d'interruption.

prement dite. Cette donnée peut tenir sur un digit, un octet, un mot de 16 bits ou un mot de 32 bits.

Remarquons que les modes d'adressage du Z 8000, comme le 8086, opèrent au niveau du segment de 64 K octets, alors que les modes d'adressage du 68000 agissent sur tout l'espace de la mémoire (16 millions d'octets). Le Z 8001 a des modes d'adressage courts avec un déplacement qui ne tient que sur un mot de 16 bits et des modes d'adressage longs avec un déplacement qui occupent deux mots de 16 bits. Dans le cas de l'adressage court, l'octet de poids fort du déplacement définit le segment, l'octet de poids faible permet d'adresser les 256 premiers octets à l'intérieur du segment. Les modes d'adressage courts, qui reviennent à travailler dans la page 0 du segment, permettent d'avoir les programmes les plus courts et les performances les meilleures. Les modes d'adressage courts concernent les modes étendu et indexé.

Les entrées/sorties

Comme pour le 8086, les entrées/sorties et la mémoire sont adressées d'une manière différente. Le Z 8000 dispose, par conséquent d'instructions d'entrée/sortie. La possibilité d'adressage des entrées/sorties est de 16 bits.

Les systèmes d'interruption

Les systèmes d'interruption du Z 8000 rappellent à la fois le système d'interruption externe du 8086 et le système d'interruption interne du 68000.

Le système d'interruption externe

Le Z 8000 dispose de trois broches d'interruption externe : une broche d'interruption non masquable (NMI), une broche d'interruption masquable non vectorisée (NVI) et une broche d'interruption masquable vectorisée (VI). Toutes ces broches sont commandées par des événements asynchrones (périphériques). La prise en compte d'une interruption externe provoque la sauvegarde du compteur ordinal, du registre d'état et d'un identificateur, et branche le microprocesseur au sous-programme d'interruption correspondant.

L'« identificateur » est le vecteur délivré sur le bus par le périphérique, responsable de l'interruption. Le branchement au sous-programme d'interruption s'obtient en chargeant le compteur ordinal avec l'adresse de début du sous-programme d'interruption et le registre d'état avec le contenu nécessaire au traitement de l'interruption.

Ces informations sont localisées dans une table pointée par le NPSAP (pointeur de la table d'interruption). Les poids forts du NDSAP indiquent l'adresse du début de la table, les poids faibles donnent le déplacement à l'intérieur de la table (fig. 5).

Le système d'interruption interne

Ce système réagit aux événements externes ou internes anormaux : instructions d'appel du système (System Call), instructions privilégiées en mode utilisateur, instructions erronées, erreur au niveau de l'adressage d'un segment (SEGT). Il provoque, chaque fois qu'il rencontre un tel événement, une interruption spécialisée (trap).

Ce type d'interruption est traité de la même manière que l'interruption interne : sauvegarde du compteur ordinal, du registre d'état et de l'« identificateur » et branchement à la séquence de traitement de l'interruption. L'« identificateur » est, dans le cas des « traps », l'instruction qui a provoqué l'interruption. Les « traps » ont pour rôle de faciliter la tâche du programmeur, en lui indiquant des erreurs : instruction erronée, mauvais adressage d'un segment. Elles assurent aussi l'intégrité du système en mode utilisateur : System Call, instructions privilégiées.

*
**

On peut conclure, de ce premier examen, que le Z 8000 est à mi-chemin entre le 8086 et le 68000. Sur certains points, il rappelle le 8086 : possibilité de fonctionnement en configuration basse et en configuration haute, bus d'adresses et bus de données multiplexés, adressage par segment, etc. Sur d'autres points, il ressemble au 68000 : grande capacité d'adressage de la mémoire, gestion d'un nombre variable de segments, de longueur variable, à travers un circuit spécialisé (MMU), fonctionnement en mode superviseur et en mode utilisateur...

Le Z 8000 est néanmoins un circuit original qui se caractérise par une grande souplesse d'utilisation et une grande puissance de traitement. La première résulte de l'organisation interne régulière qui facilite le travail du programmeur et qui permet de « configurer » le Z 8000 en machine 8 bits, 16 bits, 32 bits ou 64 bits. La puissance de traitement est le résultat de la puissance des modes d'adressage et du système de décodification anticipée de l'adresse qui permet d'accélérer le traitement.

Dominique Girod